

基于微系统芯片的多通道高速同步数据处理系统设计

谢达¹ 蔡佳莹¹ 于宗光^{2*} 范继聪¹ 季振凯¹

1. 无锡中微亿芯有限公司; 2. 中国电子科技集团公司第五十八研究所

摘要: 针对传统多通道数据处理系统体积大、扩展性差、集成度低, 难以适配小型化应用场景的问题, 本文设计并实现了一种基于多通道高速 SiP 芯片的数据处理系统。该系统核心模块采用系统级封装技术, 集成 8 路高速 ADC 输入、8 路高速 DAC 输出、FPGA 处理单元与 FLASH 存储单元, 实现数据采集、处理、存储与输出一体化。系统以小型化为目标, 微系统芯片尺寸仅 45mm×45mm; 依托 FPGA 可编程特性, 实现通道数灵活配置, 适配不同场景需求。实验表明, 系统高速口传输速率稳定达 10Gbps, ADC 信噪比大于 52dBFS、无杂散动态范围不低于 71dBFS; DAC 输出功率约 -4dBm、无杂散动态范围不低于 61dBFS, 数据性能满足指标, 具备体积小、扩展性强、稳定性高的优势, 可广泛应用于高速数据采集领域。

关键词: SiP; 多通道; 小型化; 高速; 数据处理系统

DOI:10.65976/3105-8450.2026.01.001

Multi-channel High-speed SiP Chip Based Data Processing System

Xie Da¹ Cai Jiaying¹ Yu Zongguang^{2*} Fan Jicong¹ Ji Zhenkai¹

(1.East Technologies Inc.; 2.China Electronics Technology Group Corporation No.58 Research Institute)

Abstract: To address the limitations of conventional multi-channel data processing systems, including bulky structure, poor scalability and low integration, which restrict their application in miniaturized scenarios, this paper designs and implements a data processing system based on multi-channel high-speed System-in-Package (SiP) chips. The core module adopts system-in-package technology, integrating 8-channel ADC inputs, 8-channel DAC outputs, FPGA processing unit and FLASH memory to achieve the integrated functions of data acquisition, processing, storage and transmission. Taking miniaturization as the primary design objective, the size of the core SiP chip is optimized to only 45 mm×45 mm. Benefiting from the programmability of FPGA, the number of operating channels can be flexibly configured to meet the requirements of diverse application scenarios. Experimental results demonstrate that the high-speed interface maintains a steady transmission rate of 10 Gbps. The ADC achieves a signal-to-noise ratio (SNR) above 52 dBFS and a spurious-free dynamic range (SFDR) of more than 71 dBFS. The DAC delivers an output power of approximately -4 dBm with an SFDR exceeding 61 dBFS. The overall performance fully meets technical specifications. With the merits of compact dimension, excellent scalability and high operational stability, the proposed system is suitable for extensive applications in high-speed data acquisition.

Keywords: SiP; multi-channel; miniaturization; high speed; data processing system

引言

在高速采集、宽带信号处理与实时通信技术持续迭代的背景下, 数据处理系统正朝着高集成、小体积、强同步、可配置方向发展。传统由分立器件在 PCB 板级搭建的多通道系统, 受限于布线长度、器件互联与空间布局, 普遍存在体积偏大、集成度不高、通道扩展困难、多通道时序一致性差等问题, 难以满足空间受限场景与多任

务复用的系统工程要求^[1-2]。

系统级封装 (SiP) 技术通过在单一封装体内实现多芯片高密度集成, 有效突破板级系统在体积与性能上的双重限制, 为小型化高速处理系统提供了可行路径^[3-4]。但现有高速 SiP 采集系统仍存在明显不足: 模数混合芯片集成后时钟相位偏移明显, 跨芯片多通道同步控制难度大; 高速串行链路易受封装寄生效应影响, 长时间高

基金项目: 本文国家重点研发计划先进计算与新兴软件专项—面向 AIoT 生态的软硬件协同敏捷设计 2024YFB4505402; 江苏省科技重大专项—揭榜挂帅项目—面向大规模边缘端高效推理芯片研发 (BG2024032); 国家自然科学基金高吞吐量低能耗超构芯粒互连接口技术 92573203 项目资助。

速传输可靠性不足；多数方案通道固定、配置僵化，无法适配多工况灵活切换^[5-7]。

为此，本文研制一款基于多通道高速 SiP 芯片的同步数据处理系统，将 4 片双通道高速 ADC、2 片四通道高速 DAC、国产高性能 FPGA 与 FLASH 存储单元集成于一体，在显著缩小体积的同时，利用 FPGA 实现通道动态配置，并通过专用时钟同步架构保证多芯片、多通道高精度时序对齐。测试结果表明，系统在高速传输、通道同步、信号采集与输出性能上均达到设计指标，可为小型化高速采集与信号处理领域提供高集成、高可靠、可灵活配置的实用方案。

1 数据处理系统设计

1.1 系统整体架构

本系统以 45mm × 45mm 高集成 SiP 芯片为核心，由片内功能单元、高精度时钟同步系统、多轨电源管理模块与通用外部接口四部分组成，实现模拟信号采集、高速数据处理、大容量存储与模拟波形输出的完整流程，系统架构如图 1 所示。

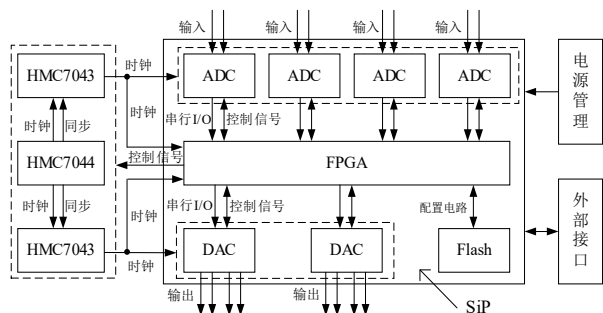


图 1 系统架构

多通道高速 SiP 芯片的尺寸为 45mm × 45mm，内部集成四大核心功能模块：多通道 ADC 采集模块搭载 4 片 ADC 芯片，提供 8 路模拟输入通道，支持 JESD204B 协议^[8]，完成模数转换后向 FPGA 传输数据；多通道 DAC 输出模块集成 2 片 DAC 芯片，提供 8 路模拟输出通道，同样支持 JESD204B 协议，完成数模转换后输出模拟信号；国产高性能 FPGA 作为系统控制与数据处理核心，通过控制信号与串行 I/O 接口，实现对 ADC、DAC 模块的时序控制、数据调度与信号处理；Flash 存储单元经配置电路与 FPGA 相连，用于存储系统配置参数与 FPGA 程序固件，实现系统上电自启动与功能可重构。

为满足多通道 ADC/DAC 的同步采样与输出需求，本系统设计了由 2 片 HMC7043 与 1 片 HMC7044 组成的专用时钟同步子系统。系统以 HMC7044 为时钟核心，完成时钟同步、抖动衰减与多通道分配，为 2 片 HMC7043 提供同源同步参考时钟；2 片 HMC7043 分别为 ADC 模块与 DAC 模块提供高精度同步时钟，实现 8 路 ADC 采集与 8 路 DAC 输出的严格时序对齐，消除通道间的同步误差^[9]。

电源管理模块为 SiP 内部所有器件提供稳定多轨的电源供给，同时集成电源监控与抗干扰设计，保障系统在高速运行下的供电稳定性；外部接口模块作为系统与外部设备的交互通道，实现控制指令下发、状态数据回传等功能，同时兼容不同应用场景的扩展需求。

1.2 核心模块设计

1.2.1 SiP 数据处理模块

SiP 芯片内部的 ADC 与 DAC 器件均采用高速架构并兼容 JESD204B 接口协议，确保多通道高速数据传输的稳定性与可靠性，FPGA 作为控制与处理中枢，可实现对 ADC、DAC 通道数的灵活配置以及数据调度，提升系统适配性。

ADC 采用双通道高速采集芯片，支持 JESD204B 接口协议，最高工作频率可达 1GSPS，分辨率为 14bits，具备 10Gbps 高速串行传输能力，能够实现大动态范围模拟信号的精准接收、采样及数字化转换处理，有效抑制采集过程中的噪声干扰，保障输入信号的完整性与采集精度，适配系统高速数据采集需求。

DAC 采用四通道高速输出芯片，同样兼容 JESD204B 接口协议，最高采样率可达 2.4GSPS，分辨率为 16bits，支持 10Gbps 高速串行数据接收，采用波形自适应设计，可根据输入数字信号自适应调整输出波形，同时具备完善的输出匹配电路，减少信号传输过程中的反射与失真，确保模拟信号输出的线性度与稳定性。

以 ADC/DAC 自发自收模式为例，其数据传输流程如图 2 所示。FPGA 生成测试波形数据，经内部逻辑处理后，基于 JESD204B 协议完成数据封装与高速串行发送，传输至 DAC 芯片；DAC 接收高速串行数据流，经解串与数模转换后输出模拟信号；ADC 同步采集该模拟信号，量化编码生成数字码流，再通过 JESD204B 接口封装为高速串行数据回传至 FPGA；FPGA 完成数据解串还原与后续处理。该闭环流程完整验证了 DAC 输出、ADC 采集及 JESD204B 高速链路的协同稳定性。

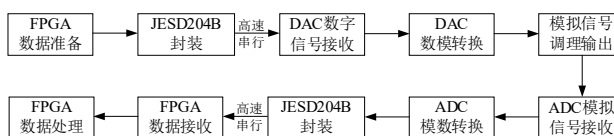


图 2 数据传输流程

1.2.2 时钟同步模块

为保障多通道 ADC/DAC 的同步采样与输出，消除通道间时序偏差，系统设计了以 HMC7044 为核心、HMC7043 为分发节点的高精度时钟同步模块，其工作流程如图 3 所示。

系统上电后，首先由 FPGA 完成 HMC7044 与两片 HMC7043 的初始化配置，设定时钟频率、抖动衰减模式及输出相位等关键参数；随后 HMC7044 基于外部参考时

钟，完成抖动衰减与频率合成，生成低相位噪声的同步基准时钟，作为全系统的时钟根；该基准时钟同步分发至 ADC 侧与 DAC 侧的两片 HMC7043，由其完成时钟扇出与驱动，为多通道 ADC、DAC 提供同源时钟；通过同步信号线实现 ADC 与 DAC 多通道的相位对齐，从根源上消除通道间时序偏差；最后由 FPGA 执行同步监控与动态相位补偿，实时监测时钟锁相状态与相位偏差^[10]，对异常情况进行闭环校准，确保系统在高速运行下的时序稳定性与同步可靠性。

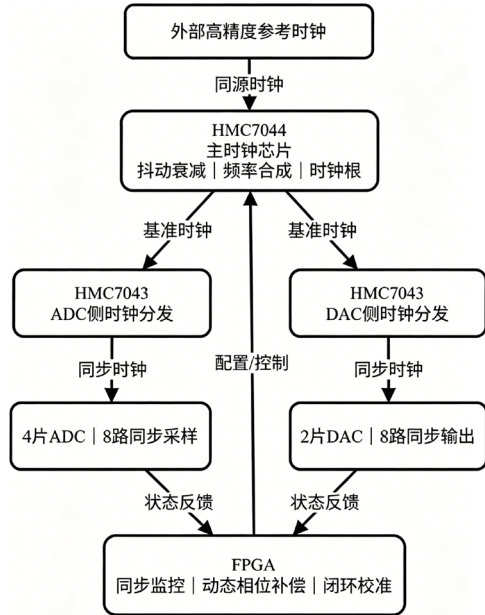


图 3 时钟同步流程图

1.2.3 电源管理模块

电源管理模块是系统稳定运行的关键支撑，为多通道高速 SiP 芯片及外部时钟子系统提供多轨、低纹波、高可靠性的供电，其电源管理如图 4 所示。

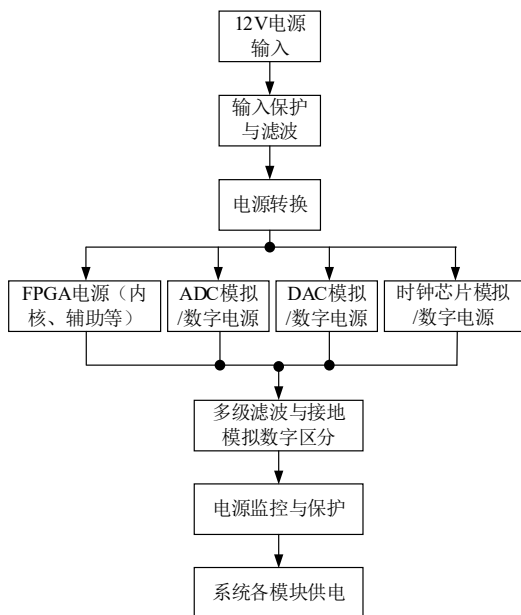


图 4 电源管理

系统采用 12V 直流电源输入，首先经输入保护与滤波电路，滤除浪涌与噪声^[11]，提升供电安全性与纯净度。随后进入电源转换环节，通过转换器与稳压器，为 FPGA 内核及辅助等、ADC 与 DAC 的模拟和数字电源以及时钟芯片的模拟和数字电源提供输出，同时兼顾数字电路的高效供电与模拟电路的低噪声需求。

转换后的电源经过多级滤波与分区接地处理，通过模拟地与数字地的严格区分，有效抑制串扰^[12]；最后经电源监控与保护电路，实现电压监测、过流与过压保护，为系统各模块提供稳定、可靠的电源供给，保障系统在高速工作状态下的稳定运行。

2 系统测试

为全面验证系统功能完整性与性能指标，搭建了涵盖硬件、软件与信号分析的多维度测试平台。平台以多通道高速 SiP 系统为核心，搭配测试开发板、直流稳压电源、信号源及频谱分析仪等关键设备，完成系统功能验证、信号激励与性能分析的闭环测试。测试参数覆盖系统核心性能指标，包括高速数据传输速率、多通道数据同步性、ADC 采集性能及 DAC 输出性能。

2.1 高速传输性能

为验证系统高速串行传输链路的稳定性与可靠性，采用 FPGA 内置 IBERT 工具对多路高速串行通道进行误码率测试^[13]，测试结果如图 5 所示。测试配置为：链路传输线速率设定为 10Gbps，高速口时钟设定为 250MHz，模拟高速数据传输场景下的实际通信条件。

测试结果表明，多路高速串行链路的时钟在长时间运行下均稳定锁定，传输速率稳定维持在 10Gbps；累计传输比特数达 3.18×10^{12} ，误码数分布在 4.702×10^{10} — 6.722×10^{10} ，误码率稳定在 2.113×10^{-2} 水平以内，链路整体误码率表现优异，无突发误码现象，传输链路稳定性良好。

该测试结果验证了系统高速接口在 10Gbps 传输速率下的可靠性，表明本系统的高速串行链路设计能够满足多通道高速数据传输的低误码、高稳定性要求，为 ADC/DAC 数据的实时、可靠交互提供了保障。

Name	TX	RX	Status	Bits	Errors	BER	RX PLL Status	TX PLL Status
Link 0	MGT_X0Y16/TX	MGT_X0Y16/RX	10 000 Gbps	3.18E12	6.712E10	2.111E-2	Locked	Locked
Link 1	MGT_X0Y17/TX	MGT_X0Y17/RX	10 000 Gbps	3.18E12	6.713E10	2.111E-2	Locked	Locked
Link 2	MGT_X0Y18/TX	MGT_X0Y18/RX	10 000 Gbps	3.18E12	6.192E10	1.947E-2	Locked	Locked
Link 3	MGT_X0Y19/TX	MGT_X0Y19/RX	10 000 Gbps	3.18E12	4.702E10	1.478E-2	Locked	Locked
Link 4	MGT_X0Y20/TX	MGT_X0Y20/RX	10 000 Gbps	3.18E12	6.718E10	2.112E-2	Locked	Locked
Link 5	MGT_X0Y21/TX	MGT_X0Y21/RX	10 000 Gbps	3.18E12	6.381E10	2.006E-2	Locked	Locked
Link 6	MGT_X0Y22/TX	MGT_X0Y22/RX	10 000 Gbps	3.18E12	6.722E10	2.113E-2	Locked	Locked
Link 7	MGT_X0Y23/TX	MGT_X0Y23/RX	10 000 Gbps	3.18E12	6.715E10	2.111E-2	Locked	Locked
Link 8	MGT_X1Y16/TX	MGT_X1Y16/RX	10 000 Gbps	3.18E12	6.721E10	2.113E-2	Locked	Locked
Link 9	MGT_X1Y17/TX	MGT_X1Y17/RX	10 000 Gbps	3.18E12	6.722E10	2.113E-2	Locked	Locked
Link 12	MGT_X1Y18/TX	MGT_X1Y18/RX	10 000 Gbps	3.18E12	6.714E10	2.111E-2	Locked	Locked
Link 13	MGT_X1Y19/TX	MGT_X1Y19/RX	10 000 Gbps	3.18E12	6.715E10	2.111E-2	Locked	Locked

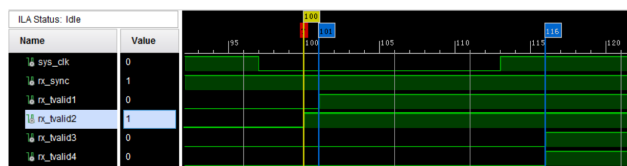
图 5 IBERT 测试

2.2 同步测试

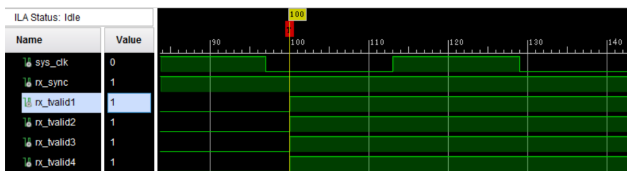
为完成本系统多通道数据同步性能的验证工作，本

文针对系统内 4 片 ADC 芯片、共 8 路输入通道的时序同步特性，设计并开展了专项一致性测试。测试平台的关键配置参数如下：所有 ADC 芯片均设置为 1GSPS 的采样率，其 JESD204B 高速串行接口的传输线速率配置为 10Gbps；为实现各 ADC 通道的严格同步，系统采用由 HMC7044 与 HMC7043 组成的同一时钟树，为所有 ADC 提供同源同步时钟信号，确保各通道时钟信号同频同相，从根源上消除了不同时钟源差异带来的时序偏差问题。

测试过程中，由高精度信号源输出一路同频同相的正弦测试信号，经功率分配器同步馈送 8 路 ADC 输入通道；FPGA 通过 JESD204B 接口接收各通道采集数据，结合内部逻辑为每路数据添加高精度时间戳标记，通过后处理分析各通道数据的相位差与采样偏差，同时利用示波器对各 ADC 的采样时钟与输出数据眼图进行监测，验证时钟与数据的同步关系。为消除单次测试的偶然性，对系统进行多次上电重启测试，统计通道间时序偏差。多通道同步前后的状态如图 6 所示。



(a) 同步前



(b) 同步后

图 6 多通道同步前后状态

在多通道同步测试中，通道间若相差多个核时钟周期甚至多帧时钟周期，会在各 ADC 芯片的数据有效标志信号 tvalid 上表现出明显的时序错位现象 [14]。如图 5 (a) 所示，同步前各通道的接收数据有效信号存在显著偏差：第二片 ADC 的 rx_tvalid2 相对第一片 ADC 的 rx_tvalid1 延迟 1 个核时钟周期；而第三、第四片 ADC 的 rx_tvalid3 与 rx_tvalid4 则相对延迟了 16 个核时钟周期，导致各通道数据有效窗口无法对齐，直接影响后续数据的并行处理与融合。

本文通过调节时钟同步模块输出时钟的相位，对各通道进行了精准的相位补偿。调节后效果如图 5 (b) 所示，所有 ADC 芯片的 tvalid 信号实现了完全对齐，各通道数据有效窗口在系统时钟域内同步拉高，通道间时序偏差被彻底消除，最终达成了多片 ADC 间的高精度同步目标，为后续多通道数据的可靠并行处理提供了坚实的时序基础。

2.3 数据性能

实验中，将 ADC 与 DAC 的采样时钟均配置为 1GHz；JESD204B 高速接口传输速率设定为 10Gbps，以匹配系统高速数据处理需求，保障 ADC/DAC 与 FPGA 之间的数据交互带宽与实时性。在此条件下，分别对 ADC 信噪比和无杂散动态范围，以及 DAC 输出功率和无杂散动态范围进行实测。测试结果如表 1、表 2 所示，其中 ADC 采集 750MHz 的满量程输入信号，DAC 输出 400MHz 的信号。

由表 1 可见，8 路 ADC 通道的信噪比均稳定在 52.8~54.3dBFS 之间，无杂散动态范围为 71.5~73.5dBFS，通道间性能差异小，一致性良好，表明系统在大动态范围信号采集场景下具备较高的信号保真度与噪声抑制能力。由表 2 可见，8 路 DAC 通道的输出功率稳定在 -4.3~-3.7dBm 之间，无杂散动态范围保持在 61.7~62.3dBFS，通道间性能波动小，线性度与稳定性满足设计要求。可能性能指标略低于普通 DAC 单片 [15]，与测试环境或者 SiP 芯片的高集成度工艺有关。

整体来看，系统各 ADC 与 DAC 通道的关键指标均达到设计目标，且通道一致性优异，证明该多通道高速 SiP 数据处理系统在信号采集与输出链路中具备良好的动态性能与可靠性，能够满足高速数据采集与信号处理的应用需求。

表 1 ADC 信噪比与无杂散动态范围

ADC	信噪比 (dBFS)	无杂散动态范围 (dBFS)
ADC1_A	53.6	72.1
ADC1_B	54.3	72.2
ADC2_A	52.8	71.5
ADC2_B	53.0	72.0
ADC3_A	53.2	73.0
ADC3_B	53.8	72.9
ADC4_A	53.4	72.7
ADC4_B	54.2	73.5

表 2 DAC 功率与无杂散动态范围

DAC	功率 (dBm)	无杂散动态范围 (dBFS)
DAC1_A	-4.2	62.2
DAC1_B	-4.0	61.9
DAC1_C	-3.8	62.2
DAC1_D	-4.3	62.3
DAC2_A	-4.0	61.7
DAC2_B	-3.7	61.7
DAC2_C	-4.0	61.8
DAC2_D	-3.9	62.0

3 结论

本文针对传统多通道数据处理系统体积大、集成度

低、扩展性差、多通道同步精度不足等工程痛点,设计并实现了一种基于多通道高速 SiP 芯片的同步数据处理系统。该系统一体化集成 4 片双通道高速 ADC、2 片四通道高速 DAC、国产高性能 FPGA 与 FLASH 存储单元,构建了集数据采集、处理、存储、输出于一体的微型化硬件平台。

系统采用 HMC7044+HMC7043 高精度时钟同步架构,实现多芯片、多通道间同源时钟分发与相位精准对齐,有效解决模数混合集成带来的时序偏差问题;借助 FPGA 可编程逻辑特性,完成 ADC/DAC 通道数量与数据链路的动态配置,提升系统对多场景、多工况的适配能力。经多维度性能测试验证:系统高速串行接口传输速率稳定达到 10Gbps,8 路 ADC 通道信噪比为 52.8~54.3dBFS、无杂散动态范围优于 71.5dBFS,8 路 DAC 通道输出功率为 -4.3~-3.7dBm、无杂散动态范围不低于 61.7dBFS,各项指标均满足高速数据采集与实时信号处理的设计要求。该系统兼具小型化、高集成、可配置、同步精度高、长期稳定等技术优势,可为空间受限场景下的高速数据采集、宽带信号处理、相控阵通信等工程应用提供高可靠、高集成度的技术解决方案,具有较高的工程实用价值与推广前景。

参考文献:

- [1] 王浩骅,贾云飞,储剑,等.基于 FPGA 的多路同步数据采集系统设计[J].电子设计工程,2024,32(22):101-104+110.
- [2] 郭威,彭卫东,漆军,等.基于 FPGA 的大动态范围数据采集系统设计[J].仪表技术与传感器,2024,(02):56-64.
- [3] 米从威,张睿,陆宇,等.基于 SiP 技术的超宽带多通道 T/R 组件设计[J].电子元件与材料,2026,45(01):35-42.
- [4] 于沐瀛,杨东升,冯佳运,等.高密度系统级封装技术及可靠性研究进展[J].微电子学与计算机,2023,40(11):149-156.
- [5] 王宽敏,刘文怡.基于 FPGA 的多通道高速信号同步采集系统[J].仪表技术与传感器,2025,(01):79-84.
- [6] 杨云普.系统级封装中高速串行链路信号完整性研究与优化[D].南京信息工程大学,2024.
- [7] 赵安祺,于洪涛,刘健,等.基于多通道相位同步技术的数字阵列模块的自动测试系统设计[J].计算机测量与控制,2026,34(02):96-103.
- [8] 赵瑜婕,李杰,张德彪,等.基于 JESD204B 的数据采集存储系统的设计[J].自动化与仪表,2025,40(01):132-136.
- [9] 王超,胡劲涵,张志福,等.基于 LMK04828 的跨板级联时钟同步[J].集成电路与嵌入式系统,2025,25(04):60-65.
- [10] 祝昇翔,何岷,贺志毅,等.一种相控阵雷达多通道同步方法[J].现代防御技术,2022,50(01):60-66.
- [11] 屈大明,李醒飞,拓卫晓,等.惯性参考单元中音圈电机的多电平驱动器设计[J].仪表技术与传感器,2022,(08):44-50+68.
- [12] 陈旭磊.基于多传感器融合的高度测量系统设计[D].西南科技大学,2022.
- [13] 陈龙,缪泽宇,解维坤,等.一种 FPGA 的高速 IP 验证方法研究与实现[J].电子质量,2023,(07):78-83.
- [14] 吴可.基于 JESD204B 的多帧同步实现技术[J].电子质量,2024,(01):76-79.
- [15] 黄云青,张佳琦,白森.基于 AD9154 和 FPGA 的高速复杂雷达信号波形的设计[J].航空兵器,2020,27(01):76-80.