

# 《数字版图设计与物理验证实践》课程的创新实验探索

王仁平 魏榕山 施隆照

福州大学 物理与信息工程学院

**摘要：**本文针对高校集成电路实验教学中普遍存在的工程实践碎片化、产业案例匮乏及思政教育渗透不足三大核心问题，构建了“理论—工具—实践—创新”四位一体的教学体系。以福州大学—瑞芯微联合培养班的中芯国际 55nm 工艺流片项目为实践载体，通过引入工业级 EDA 工具链与真实流片项目案例，系统化培养从门级网表设计到 GDS 交付的全流程工程能力。创新性采用 TCL 脚本编程自动化与机器学习算法优化，显著提升版图设计效率与规则验证精度。课程实施“技术攻关+伦理思辨”双路径育人模式，将国产芯片技术突破案例融入教学实践，强化学生科技报国使命意识；通过典型工程伦理案例培育严谨求实的职业素养。配套建立动态量化评价体系，实现技术能力与思政素养的量化考核。实践表明，该体系有效提升学生文档规范率，缩短设计迭代周期，增强学生科技报国使命感。

**关键词：**数字版图设计；物理验证；产教融合；工程伦理；TCL 自动化

## 引言

在国家“强芯工程”战略推动下<sup>[1]</sup>，集成电路产业蓬勃发展，对掌握数字版图设计与验证能力的复合型专业人才的需求呈现出前所未有的紧迫性。然而，当前高校实验教学仍存在三大核心痛点<sup>[2]</sup>：其一，工程实践缺乏系统性，存在严重的碎片化现象，学生在学习过程中无法将从门级网表到最终版图生成的全流程进行系统整合，难以形成全面、连贯的知识体系和实践技能；其二，教学案例与产业真实场景脱节，流片级项目实践机会匮乏，形成“课堂能力”与“产业需求”之间的显著鸿沟，学生难以适应产业界的实际工作要求<sup>[3]</sup>；其三，思政教育融入不足，学生对于工程伦理、知识产权保护等职业素养的认知较为薄弱，难以满足集成电路产业复合型人才需求。基于此，本课程创新构建“理论—工具—实践—创新”四位一体教学体系，依托福州大学—瑞芯微联合培养班的中芯国际 55nm 工艺流片项目，通过真实产业项目反哺教学<sup>[4]</sup>，重点培养四大核心能力：第一，EDA（Electronic Design Automation）工具链应用能力，要求学生熟练掌握数字版图设计工具 Innovus、模拟版图设计工具 Virtuoso 以及物理验证工具 Calibre 等主流工业级工具，能够在实际操作中灵活运用这些工具进行芯片版

图设计与验证；第二，工艺规则理解能力，深入解析 DRC（Design Rule Check）、LVS（Layout Versus Schematic）等物理实现关键技术，确保学生在芯片设计过程中能够严格遵循工艺规则，提高设计的准确性和可靠性；第三，全流程工程实践能力，通过实践教学，让学生具备从门级网表到 GDS（Geometry Data Standard）交付的完整数字芯片版图设计与验证能力，能够独立完成整个芯片设计流程，积累工程实践经验；第四，系统思维与职业素养能力，通过流片项目实践，着重培养学生的系统级设计思维，同时将知识产权保护、工程伦理等思政元素深度融入教学。该体系通过工业级项目驱动，有效解决了工程实践碎片化、产业适配度低及思政教育薄弱等问题，为集成电路人才培养提供了创新路径<sup>[5]</sup>。

## 一、创新实验教学体系

围绕数字 SoC（System on Chip）芯片版图设计与物理验证的知识体系，构建“基础理论+工具实操+工程实践+创新探索”四维内容框架，实现学生知识内化与能力跃升<sup>[6]</sup>。

### （一）构建理论教学体系

为了构建全面且专业的数字版图设计与物理验证相关理论教学体系，培养学生在该领域的专业能力和

**基金项目：**福建省教育厅本科高校教育教学研究项目（FBJY20230048）；《基于 RISC-V 处理器的商品条形码图像识别 SoC 芯片设计》，福建省自然科学基金面上项目（2023J01398）；《基于 RISC-V 的 SoC 芯片版图设计与物理验证》，2025 年福州大学本科生开放探索性实验课程。

**作者简介：**王仁平（1972—），男，硕士研究生，副教授，研究方向为数字集成电路设计。

创新思维，特设置以下四个理论模块。

理论模块 1: 版图设计与物理验证流程核心内容。本模块系统讲解从门级网表到 GDS 生成的完整 IC 设计流程。以基于 RISC-V 的 SoC 芯片为例，首先通过数据导入阶段处理 LEF/DEF、时序约束和工艺库文件；在布局规划阶段重点分析宏单元摆放与电源网络设计对布线拥塞的影响；时钟树综合部分对比 H-tree 和 Mesh 结构的优缺点，并讨论时钟偏差与功耗的平衡策略。通过基于 RISC-V 的 SoC 芯片展示如何利用 innovus 进行功耗和电压降分析，结合 MCMC 实现时序收敛，形成 PPA (Power-Performance-Area) 协同优化方法论。最后通过 Calibre 的 DRC/LVS 验证流程，解析如何通过金属层优化解决天线效应问题。

理论模块 2: EDA 工具原理与操作。本模块深度解析三大 EDA 工具链：在 Innovus 部分，通过基于 RISC-V 的 SoC 芯片布局布线案例，演示从平面规划到布线的全流程操作，重点讲解 Congestion Map 分析、Timing ECO 修复技巧；针对 Virtuoso，以基于 RISC-V 的 SoC 芯片的 GDS 导入为例，说明如何将 innovus 中导出的 GDS 导入到 Virtuoso，如何创建电源地标号、如何对 DRC 和 LVS 的违规进行修复等模拟版图关键技术；Calibre 部分则通过 DRC 和 LVS 错误调试实例，讲授如何将违规导回到 Innovus 中进行修改的方法等。设置金属间距违例和时钟树过长引起的 Hold 违例等典型场景，引导学生通过工具日志分析、查阅相关资料完成问题定位与修复，培养工程化调试思维。

理论模块 3: 本模块基于中芯国际 55nm 工艺，在宏单元布局阶段，通过基于 RISC-V 的 SoC 芯片的 SRAM 阵列与逻辑模块混合布局案例，分析 Keepout Margin 设置对后期布线的影响；在电源网络设计部分，对比 Mesh 型与 Stripe 型电源结构的 IR Drop 差异，并演示工具如何自动生成电源网格；针对工艺偏差，通展示不同 Corner 下的时序变化，进而讲解如何设置 OCV (On-Chip Variation) 约束。特别引入 MCMC 技术，在基于 RISC-V 的 SoC 芯片中同步优化多种场景，最终通过 Innovus 的 CCD (Concurrent Clock and Data) 优化实现 10% 的时序提升。

理论模块 4: TCL (Tool Command Language) 辅助版图设计与优化。讲解 TCL 命令使用，涵盖基础命令、自动化流程构建及机器学习协同优化方法。结合实际案例，演示如何编写脚本用插入二极管方法自动修复天线效应，如何编写脚本解决金属孔违规定位修复，结合机器学习算法拓展创新视野，为复杂版图设计提供高效解决方案。

## (二) 设计实践环节

本实践环节基于 Innovus、Virtuoso 和 Calibre 等工业级 EDA 工具，构建了一套完整的基于 RISC-V 的 SoC 芯片版图设计与物理验证流程，涵盖：数据导入→平面规划→布局→时钟树综合→布线→可制造性→物理验证→流片交付的全流程。通过真实流片案例驱动，结合 TCL 自动化脚本，培养学生掌握符合企业需求的数字 SoC 芯片版图设计与物理验证方法。

实践 1: SoC 芯片数据导入与平面规划实践。首先，导入门级网表和标准单元库，校验数据完整性，确保时序约束与工艺规则匹配。配置 MMC 分析环境，加载 TCL 脚本定义的 PVT (Process-Voltage-Temperature) 约束，覆盖典型、最差和最佳等情况。在平面规划阶段，定义芯片尺寸与 Core Area，采用“IO Ring”策略摆放 Pad 单元，结合数据流分析规划 SRAM、PLL 等宏模块的位置，避免布线拥塞。电源网络设计采用 Mesh 结构，通过分析功耗和电压降，优化电源环、电源条宽度与打孔密度。最后运行电源网络 DRC 检查，确保金属间距、通孔覆盖等符合工艺规则，为后续布局布线奠定基础。

实践 2: SoC 芯片布局与时钟树综合实践。设置布局策略，对关键路径采用时序驱动模式，对存储器周边采用阻塞驱动模式，运行全局布局与详细布局，分析和解决拥塞热点、设计规则违例与时序违例，优化关键路径。时钟树综合采用 H-tree 结构，设置非默认规则加宽时钟线宽并屏蔽干扰信号，通过 CRPR (Clock Reconvergence Pessimism Removal) 技术减少悲观时序。利用有用偏差优化关键路径的建立时间，同时插入延时单元平衡保持时间。通过分析时钟偏差和功耗，确保时钟网络满足  $\pm 100\text{ps}$  的偏差要求。

实践 3: SoC 芯片布线与可制造性实践。设置布线规则如金属层分配、对关键信号进行屏蔽或增加线间距，考虑串扰效应。运行全局布线、详细布线和查找修复，通过 CCD (Concurrent Clock and Data) 优化同步时钟与数据路径优化时序，使用 ECO 布线修复剩余违例。采用跳层连接和加入保护二极管消除天线效应。最后运行基于工艺规则的减少关键区域和插入冗余通孔以提升良率，确保通孔覆盖率等符合中芯国际 55nm 的流片要求，提升芯片良率。

实践 4: SoC 芯片物理验证与流片数据交付实践。Innovus 工具导出 GDS、LEF/DEF 和 Netlist 等流片数据标准交付包，将 GDS 数据导入 Virtuoso 工具，在 Virtuoso 工具嵌入物理验证工具 Calibre，通过 Calibre 运行 DRC 检查，定位金属间距、密度违例等问题，生



成错误报告并导入 Innovus 进行增量修复; LVS 验证阶段, 比对版图与网表一致性, 解决短路、开路等连接性问题。最终生成符合中芯国际 55nm 工艺的 GDS 文件, 并提交包含时序报告、功耗分析和验证日志的完整交付包, 达到企业流片标准。

实践 5: 创新探索实践。导入福州大学——瑞芯微联合培养班中芯国际 55nm 流片真实流片案例, 复现工程痛点: 1) 时钟端口设计缺陷导致时序违例, 学生需通过 CTS 约束重配置修复; 2) 电源网络电压降 (IR Drop>5%) 引发降频问题, 优化电源网络结构并增加 Decap 电容。针对版图设计中的重复性操作与复杂优化问题, 引入 TCL 脚本开发与机器学习方法, 学生需编写脚本实现金属间距违规自动修正、天线效应违规自动修复等功能。此环节将企业级流片经验转化为教学案例, 培养学生解决复杂工程问题的能力, 深化对“设计—验证—迭代”闭环的理解。

### (三) 融合课程思政

将思想政治教育有机融入实践, 通过“技术攻关+伦理思辨”双路径, 培育学生科技报国情怀与工程伦理素养<sup>[7]</sup>。

思政案例 1: 国产芯片自主创新。以华为海思麒麟芯片突破“去美国化”工艺适配、长江存储 3D NAND 实现供应链安全自主可控为典型案例, 在 SoC 芯片版图设计与物理验证环节融入思政元素。学生需理解国产 EDA 工具在替代国际巨头方案中的技术路径, 理解自主创新背后的国家战略需求, 引导学生思考关键技术自主可控对产业链安全的重要意义, 激发投身国产芯片研发的使命感。

思政案例 2: 质量责任与求真精神。结合芯片制造领域的典型伦理事件开展案例教学: 剖析三星 7nm 工艺光刻机误差导致的量产良率降低, 揭示纳米级精度控制对设计规范性的严苛要求; 复盘“汉芯一号”造假事件的技术漏洞与诚信危机, 强化“数据真实、设计严谨”的质量意识。通过分析台积电的质量管控体系, 引导学生树立“芯片质量关乎国家安全”的责任担当, 培养求真务实、精益求精的工程师精神。

思政案例 3: 科技报国与创新自信。在实践环节中鼓励学生基于国产 EDA 工具尝试 SoC 芯片版图设计, 对比国际 EDA 工具的功能差异, 理解自主创新的技术挑战与发展机遇。通过组织“芯片强国”主题研讨, 结合华为等企业的突围案例, 引导学生辩证看待技术封锁与自主创新的辩证关系, 筑牢“关键核心技术是要不来、买不来、讨不来的”战略认知, 增强科技报国的信念与行动力。

### (四) 构建多维融合的程评价机制

在实践课程的教学改革中, 考核与评价体系的优化是确保人才培养质量的关键环节。本课程突破传统“唯结果论”的考核模式, 创新性地构建了“技术能力—思政素养—工程实践”三维度深度融合的评价体系, 通过建立“3-3-4”动态评价方法, 全面评估学生的综合能力<sup>[8]</sup>。

建立“3-3-4”动态评价方法。课程采用“报告质量 (30%) + 课堂表现 (30%) + 过程评价 (40%)”的权重分配模式, 形成梯度化评价体系。在报告质量维度, 重点考核学生工程文档的系统性与规范性, 要求完整呈现版图设计全流程记录, 包括 TCL 脚本编写、工具操作日志, 以及 DRC/LVS 错误分析的优化方案可行性。课堂表现评价采用双维度指标: 在思政融入度方面, 通过国产芯片案例研讨考查学生的产业认知与科技伦理意识; 在技术互动方面, 采用课堂提问、学生提交设计说明视频和实践总结答辩等量化评价学生的技术水平。过程性评价突出两个关键指标: 一是问题解决能力, 采用 DRC、LVS 和时序等违规修复效率等量化指标; 二是创新性评价, 建立版图优化方案新颖度评分标准。

本评价体系实施以来, 学生工程文档规范率明显提升, 设计迭代效率显著提高。建立“学生评课—督导组指导—教师自评”三维反馈渠道, 收集学生建议和意见, 确认该体系有效促进了技术能力与工程素养的协同发展。持续优化动态评价机制, 结合芯片后端设计行业技术演进调整教学重点, 进一步强化质量意识与创新能力的考核权重, 为集成电路产业培养更多“懂设计、明伦理、善创新”的高素质人才。

## 二、总结与展望

本文针对高校集成电路实验教学中工程实践碎片化、产业案例缺失及思政教育薄弱的痛点, 构建了“理论—工具—实践—创新”四位一体的教学体系, 并通过福州大学—瑞芯微联合培养班的中芯国际 55nm 工艺流片项目成功验证了该体系的实践成效。在当前全球芯片产业加速技术迭代与竞争格局重塑的背景下, 本课程将持续深化教学改革与创新实践: 首先以先进制程为突破口, 将先进工艺案例纳入课程体系, 实现与产业界同步; 其次, 搭建 EDA+AI 技术融合平台, 整合机器学习驱动的布局布线工具与国产 EDA 软件, 提升学生在智能化芯片设计领域的核心竞争力; 同时创新思政教育模式, 通过构建“芯片强国”主题案例库, 结合技术封锁等现实挑战, 培养学生的自主创新意识、产业报国情怀与国际竞争视野; 最后优化动态评价机制, 引入区块链技术实现芯片版图设计与验证过程全

周期可追溯，构建兼顾工程伦理与创新能力的双维度评价机制，为产业输送具有核心技术攻关能力与职业素养的复合型人才。通过持续深化教学改革与创新实践，本课程将为集成电路产业培养更多具备工程实践能力、创新思维和职业素养的高水平专业人才，助力我国集成电路产业的高质量发展。

参考文献：

- [1] 国务院. 国务院关于印发新时期促进集成电路产业和软件产业高质量发展若干政策的通知 [EB/OL]. (2020-08-04)[2025-12-14].[https://www.gov.cn/zhengce/content/2020-08/04/content\\_5532370.htm](https://www.gov.cn/zhengce/content/2020-08/04/content_5532370.htm).
- [2] Smith J. Challenges in IC Design Education[J]. IEEE Transactions on Education, 2022, 65(3): 412-420.
- [3] 王力纲, 陈文静, 白秀梅. 新工科背景下我国集成电路产业人才培养探究 [J]. 实验室研究与探索, 2024, 43(11): 174-180.
- [4] 兰旭博, 梁继然, 谢生, 等. 集成电路专业项目式实验教学改革与实践 [J]. 电气电子教学学报, 2024, 46(3): 190-192.
- [5] 史再峰, 高静, 傅海鹏, 等. 后摩尔时代集成电路专业人才分类培养方法研究 [J]. 创新创业理论研究与实践, 2025, 8(2): 4-7.
- [6] 田晓华, 余柏林, 陈艳, 等. “数字芯片后端设计”课程思政教学探索 [J]. 教育教学论坛, 2024(6): 157-160.
- [7] 刘玉. 大学工程伦理教育若干问题探讨 [J]. 江苏高教, 2024(3): 45-50.
- [8] 黄凤英. 高校“数字逻辑”课程教学模式改革——基于新工科建设理念 [J]. 厦门城市职业学院学报, 2024, 26(4): 48-53.